

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-166976

(43)Date of publication of application : 02.07.1993

(51)Int.CI.

H01L 23/29
H01L 23/31
H01L 21/52
H01L 21/60
H01L 23/28

(21)Application number : 03-328524

(71)Applicant : MATSUSHITA ELECTRON CORP

(22)Date of filing : 12.12.1991

(72)Inventor : KOYA NOBUYUKI

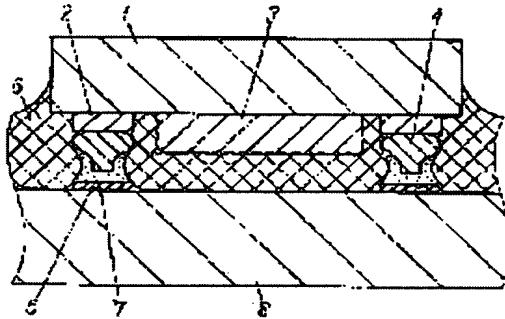
(54) MOUNTING METHOD OF SEMICONDUCTOR ELEMENT

(57)Abstract:

PURPOSE: To prevent a first and a second resin layer from deteriorating in adhesion between them in a semiconductor device mounting method where a first process in which a first resin layer is formed on the surface of a semiconductor element and a second process through which a second resin layer is formed to cover the first resin layer are provided.

CONSTITUTION: A first polyimide resin layer 3 is formed on the surface of a semiconductor element 1. The polyimide resin layer 3 is cured at a temperature of 300–350°C and then subjected to an ashing treatment by oxygen plasma. By this treatment, very fine irregularities are formed on the surface of the polyimide resin layer 3, whereby the surface of the resin layer 3 is roughened. Protrudent electrodes 4 are provided on aluminum electrodes 2 formed on the surface of the semiconductor element 1 through a stud bump method. The protrudent electrodes 4 are connected to the electrodes 7 of a mounting board 8 of a liquid crystal panel or the like with a conductive adhesive agent 5.

Silicone resin 6 is filled into a space between the semiconductor board 1 and the mounting board 8. In succession, the silicone resin 6 is thermally cured to fix the semiconductor element 1.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-166976

(43)公開日 平成5年(1993)7月2日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 01 L 23/29

23/31

21/52

E 9055-4M

21/60

3 1 1 S 6918-4M

8617-4M

H 01 L 23/30

B

審査請求 未請求 請求項の数2(全4頁) 最終頁に続く

(21)出願番号

特願平3-328524

(22)出願日

平成3年(1991)12月12日

(71)出願人 000005843

松下電子工業株式会社

大阪府門真市大字門真1006番地

(72)発明者 幸谷 信之

大阪府門真市大字門真1006番地 松下電子
工業株式会社内

(74)代理人 弁理士 小鍛治 明 (外2名)

(54)【発明の名称】 半導体素子の実装方法

(57)【要約】

【目的】 半導体素子の表面に第一樹脂層を形成する工程と、前記第一樹脂層を覆う第二樹脂層を形成する工程とを含む半導体素子の実装方法において、両樹脂層の密着性の劣化を生じない、信頼性に優れた実装構造を実現する。

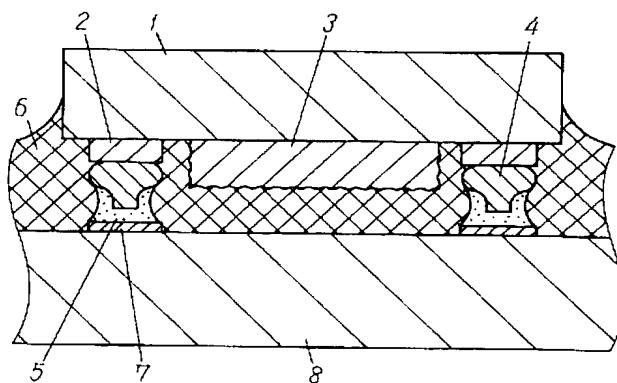
【構成】 半導体素子1の表面にはポリイミド樹脂による第一の樹脂層が形成されている。このポリイミド樹脂の層3を300～350℃でキュアした後、酸素プラズマによるアッシング処理を行う。この処理によってポリイミド樹脂層3の表面には微小な凹凸が形成され、粗面化する。つぎに半導体素子1の表面のアルミニウム電極2の上にスタッドバンプ法で突起電極4を設ける。この突起電極4を液晶パネル等の実装基板8の電極7に導電性接着剤5で接続する。そして半導体素子1と実装基板8との空間にシリコーン樹脂6を充填し、空間を埋める。続いてシリコーン樹脂6を熱硬化し、半導体素子1を固定する。

5 導電性接着剤

7 電極

6 シリコーン樹脂

8 実装基板



【特許請求の範囲】

【請求項1】半導体素子の表面に第一樹脂層を形成する工程と、前記第一樹脂層を覆う第二樹脂層を形成する工程とを含む半導体素子の実装方法において、前記第二樹脂層の形成前に前記第一樹脂層の表面を粗面化する工程を有する半導体素子の実装方法。

【請求項2】半導体素子の表面に突起電極を形成する工程と、半導体素子の表面に第一樹脂層を形成する工程と、前記第一樹脂層の表面を粗面化する工程と、前記第一樹脂層を覆う第二樹脂層を形成する工程と、前記突起電極と実装基板の電極との接続をする工程と、前記半導体素子と前記実装基板との間に第二樹脂層を充填する工程とを有する半導体素子の実装方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は二種類の樹脂を用いて半導体素子を実装する方法に関する。

【0002】

【従来の技術】従来、二種類の樹脂を用いて半導体素子を実装する方法、たとえば、半導体素子表面にまずポリイミド樹脂の層を形成し、続いてシリコーン樹脂のコーティングまたはポッティングを行う実装方法が用いられていた。

【0003】

【発明が解決しようとする課題】上記従来の実装方法では、二種類の樹脂の親和性が乏しく、界面剥離を生じやすかつた。これを改善するために第一の樹脂層の表面をキレート処理をするなどして親和性を高める試みもなされているが、一般に処理薬品が高価であったり、新規な処理装置が必要であるなどの問題があった。

【0004】

【課題を解決するための手段】上記問題を解決するため本発明の半導体素子の実装方法は、半導体素子の表面に第一樹脂層を形成する工程と、前記第一樹脂層を覆う第二樹脂層を形成する工程とを含む半導体素子の実装方法において、前記第二樹脂層の形成前に前記第一樹脂層の表面を粗面化する工程を有している。

【0005】また、本発明の半導体素子の実装方法は、半導体素子の表面に突起電極を形成する工程と、半導体素子の表面に第一樹脂層を形成する工程と、前記第一樹脂層の表面を粗面化する工程と、前記第一樹脂層を覆う第二樹脂層を形成する工程と、前記突起電極と実装基板の電極との接続をする工程と、前記半導体素子と前記実装基板との間に第二樹脂層を充填する工程とを有している。

【0006】

【作用】上記本発明の実装方法によれば、第一の樹脂層と第二の樹脂層との接触面積が増加するので密着力が向上し、界面剥離を生じることがなくなる。

【0007】

【実施例】図1及び図2は本発明の実施例を説明する工程断面図である。アルミニウム電極より内側の表面にはポリイミド樹脂による第一の樹脂層4が形成されている。厚みは約2.0~3.0μmである。このポリイミド樹脂の層を300~350°Cでキュアした後、酸素プラズマによるアッシング処理を行う。この処理によってポリイミド樹脂層3の表面は約0.01~0.05μm程度の微小な凹凸が形成され、粗面化する。このアッシング処理の条件は、たとえば出力400W、酸素ガス流量が600ml/min、処理時間は6分間である。つぎに半導体素子1の表面のアルミニウム電極2の上にスタッドバンプ法で突起電極4を設ける(図1)。この突起電極4を液晶パネル等の実装基板8の電極7に導電性接着剤5で接続する。そして半導体素子1と実装基板8との間に第二の樹脂としてシリコーン樹脂6を充填し、空間を埋める。続いてシリコーン樹脂6を熱硬化し、半導体素子1を固定する。

【0008】図3及び図4はそれぞれ、突起電極を実装基板の電極に導電性接着剤で接続し、半導体素子と実装基板との間にシリコーン樹脂を充填した構造体について、熱衝撃試験及び高温高湿試験をした場合の接続抵抗の変化を示している。●印でプロットされたのが、ポリイミド樹脂層を酸素プラズマによってアッシング処理した場合の結果であり、○印でプロットされたのが、ポリイミド樹脂層を酸素プラズマによってアッシング処理しない従来の実装方法による場合の結果である。

【0009】いずれの試験結果においても、ポリイミド樹脂層を酸素プラズマによってアッシング処理した本発明の実装方法による場合の方が接続抵抗の変化が少なく、従来の方法による場合の2分の1以下の変化量に抑えられている。

【0010】

【発明の効果】以上詳述したように、本発明の半導体素子の実装方法によれば、半導体素子の表面に第一樹脂層を形成する工程と、前記第一樹脂層を覆う第二樹脂層を形成する工程とを含む半導体素子の実装方法において、両樹脂層の密着性の劣化を生じない、信頼性に優れた実装構造を実現することができる。

【図面の簡単な説明】

【図1】本発明の実装方法の工程断面図

【図2】本発明の実装方法の工程断面図

【図3】熱衝撃試験をした場合の接続抵抗の変化を示す図

【図4】高温高湿試験をした場合の接続抵抗の変化を示す図

【符号の説明】

1 半導体素子

2 アルミ電極

3 ポリイミド樹脂層

4 突起電極

3

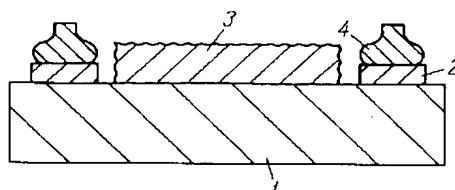
4

5 導電性接着剤
6 シリコーン樹脂

7 電極
8 実装基板

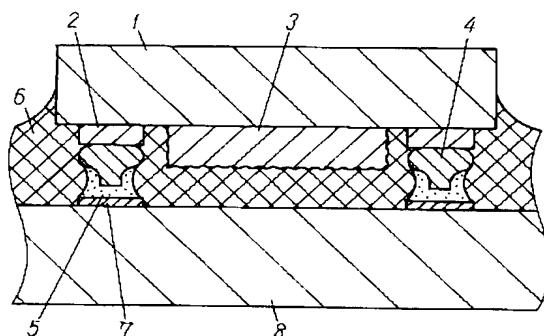
【図1】

1 半導体素子
2 アルミ電極
3 ポリイミド樹脂層
4 突起電極

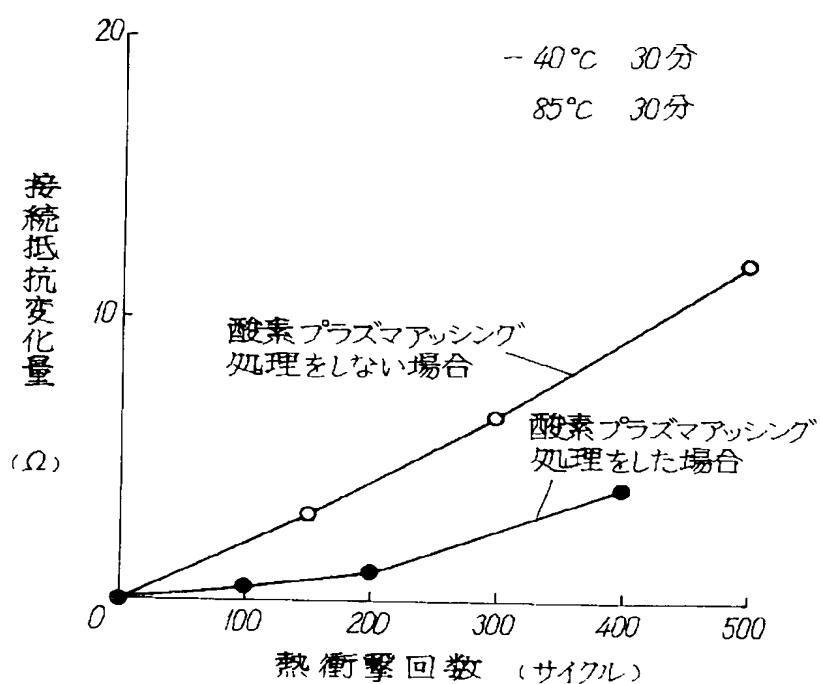


【図2】

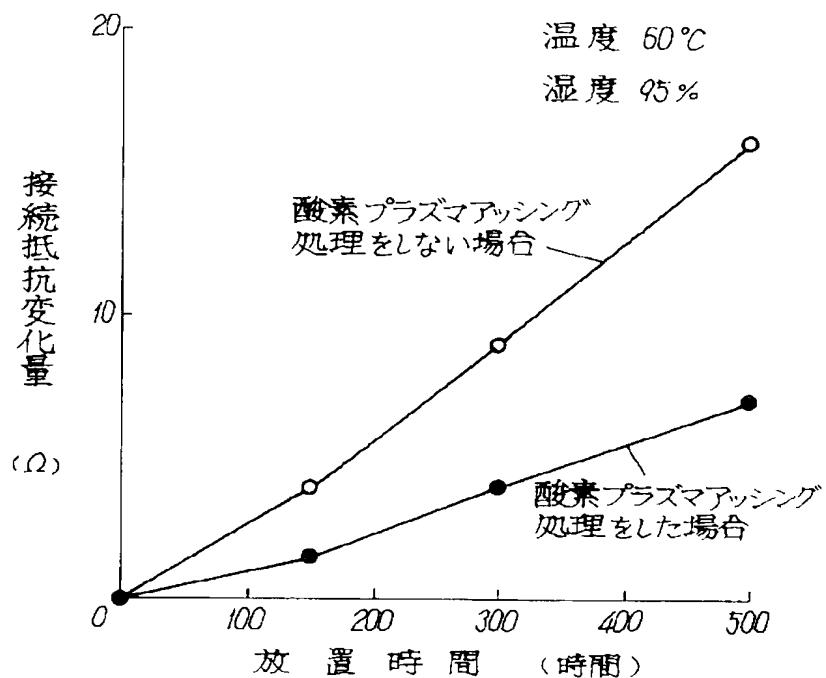
5 導電性接着剤
6 シリコーン樹脂
7 電極
8 実装基板



【図3】



【図4】



フロントページの続き

(51) Int.C1.5

H 0 1 L 23/28

識別記号 序内整理番号

J 8617-4M

F 1

技術表示箇所